

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-047992
 (43)Date of publication of application : 26.02.1993

(51)Int.Cl. H01L 23/50
 H01L 25/00

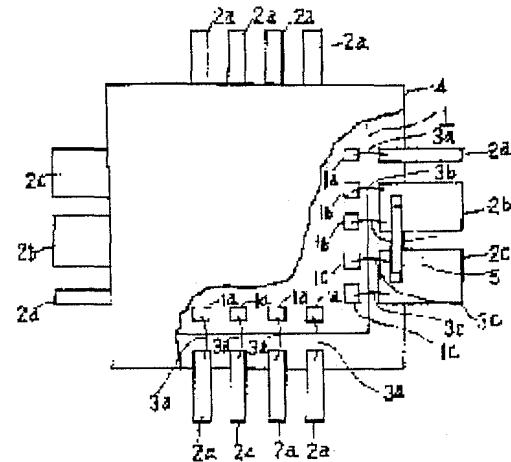
(21)Application number : 03-221166 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 07.08.1991 (72)Inventor : KIMURA HIROTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To easily connect a bypass capacitor from leads of a power source to a ground lead by increasing in width the leads for electrodes and ground larger than leads for signals.

CONSTITUTION: Leads 2b for a power source are wider than leads 2a for signals corresponding to two adjacent Pads 1b, 1b for the power source. A lead 2c for ground wider than the leads 2a, is provided corresponding to two adjacent pads 1c, 1c for ground. A bypass capacitor 5 is connected from the lead 2b to the lead 2c to eliminate input of an AC component such as noise, etc., carried on a power source line to a circuit formed in a semiconductor chip 1. Thus, even if a pitch of the leads is narrowed in miniaturization, the capacitor to be connected from the lead for the power source to the lead for a ground can be provided in a molded form.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-47992

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁵
H 01 L 23/50
25/00

識別記号 庁内整理番号
X 9272-4M
B 7220-4M

F I

技術表示箇所

(21)出願番号 特願平3-221166
(22)出願日 平成3年(1991)8月7日

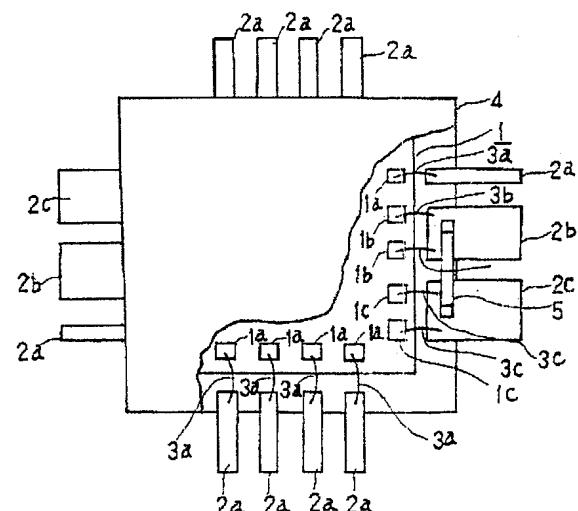
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 木村 廣隆
鎌倉市上町屋325番地 三菱電機株式会社
コンピュータ製作所内
(74)代理人 弁理士 葛野 信一

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【構成】 電源電圧が幅広の電源用リード2b、電源用ワイヤ3b及び電源用パッド1bを介して半導体チップ1内部に形成された回路に供給され、半導体チップ1内部に形成された回路が接地用パッド1c、接地用ワイヤ3c及び幅広の接地用リード2cを介して接地される。電源用リード2bと接地用リード2cとの間に接続されたバイパスコンデンサ5が、電源ライン等に載ったノイズ等の交流成分を半導体チップ1内部に形成された回路に入力されないようする。所定の信号用リード2a、信号用ワイヤ3a及び信号用パッド1aを介して半導体チップ1内部に形成された回路に入力信号が入力され、半導体チップ1内部に形成された回路で信号処理がされて、所定の信号用パッド1a、信号用ワイヤ3a及び信号用リード2aを介して出力信号が出力される。

【効果】 電源用リード2b及び接地用リード2cが幅広に形成されているのでバイパスコンデンサ5の接続が容易となる。



1 : 半導体チップ	2c : 接地用リード
1a : 信号用パッド	3a : 信号用ワイヤ
1b : 電源用パッド	3b : 電源用ワイヤ
1c : 接地用パッド	3c : 接地用ワイヤ
2a : 信号用リード	5 : バイパスコンデンサ
2b : 電源用リード	

【特許請求の範囲】

【請求項1】周囲に複数の信号用パッドと電源用パッドと接地用パッドとが形成された半導体チップ、上記複数の信号用パッドにそれぞれ対応して設けられた信号用リード、上記電源用パッドに対応して設けられ上記信号用リードより幅広の電源用リード、上記接地用パッドに対応して設けられ上記信号用リードより幅広の接地用リード、それぞれが対応した上記信号用パッドと対応した上記信号用リードとを接続する複数の信号用ワイヤ、上記電源用パッドと上記電源用リードとを接続する電源用ワイヤ、上記接地用パッドと接地用リードとを接続する接地用ワイヤを備えた半導体集積回路装置。

【請求項2】周囲に複数の信号用パッドと1つ又は複数の電源用パッドと1つ又は複数の接地用パッドとが形成された半導体チップ、上記複数の信号用パッドにそれぞれ対応して設けられた信号用リード、上記電源用パッドに対応して設けられ上記信号用リードより幅広の電源用リード、上記接地用パッドに対応して設けられ上記信号用リードより幅広の接地用リード、それぞれが対応した上記信号用パッドと対応した上記信号用リードとを接続する複数の信号用ワイヤ、上記1つ又は複数の電源用パッドと上記電源用リードとを接続する複数の電源用ワイヤ、上記1つ又は複数の接地用パッドと接地用リードとを接続する複数の接地用ワイヤを備えた半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体集積回路装置に係わり、特に電源用及び接地用リードに関するものである。

【0002】

【従来の技術】図3は、従来の半導体集積回路装置を示すものであり、図3において、1は周囲に複数の信号用パッド1a～1aと電源用パッド1bと接地用パッド1cとが形成された半導体チップで、内部に所定の回路が形成されているものである。2a～2aは上記複数の信号用パッド1a～1aにそれぞれ対応して設けられた信号用リード、2bは上記電源用パッド1bに対応して設けられた電源用リード、2cは上記接地用パッド1cに対応して設けられた接地用リード、3a～3aはそれぞれが対応した上記信号用パッド1a～1aと対応した上記信号用リード2a～2aとを接続する複数の信号用ワイヤ、3bは上記電源用パッド1bと上記電源用リード2bとを接続する電源用ワイヤ、3cは上記接地用パッド1cと接地用リード2cとを接続する接地用ワイヤ、4は上記半導体チップ1と信号用ワイヤ3a～3aと電源用ワイヤ3bと接地用ワイヤ3cと信号用リード2a～2aの端部と電源用リード2bの端部と接地用リード2cの端部とを樹脂モールドするモールド体である。なお、上記信号用リード2a～2aと上記電源用リード2b

bと上記接地用リード2cは全て同一幅を有し、リードフレームを用いて形成されているものである。

【0003】この様に構成された半導体集積回路装置においては、電源電圧が電源用リード2b、電源用ワイヤ3b及び電源用パッド1bを介して半導体チップ1内部に形成された回路に供給されるとともに、半導体チップ1内部に形成された回路が接地用パッド1c、接地用ワイヤ3c及び接地用リード2cを介して接地されているものである。また、所定の信号用リード2a～2a、信号用ワイヤ3a～3a及び信号用パッド1a～1aを介して半導体チップ1内部に形成された回路に入力信号が入力され、半導体チップ1内部に形成された回路で信号処理がされて、所定の信号用パッド1a～1a、信号用ワイヤ3a～3a及び信号用リード2a～2aを介して出力信号が出力されるものである。

【0004】

【発明が解決しようとする課題】しかるに、上記のように構成された半導体集積回路装置にあっては、近年、多ピン（多リード）化に伴い微細化が進み、信号用リード2a～2aと電源用リード2bと接地用リード2cとのリードピッチが狭くなり、特に、電源用リード2bと接地用リード2cとのリードピッチが狭くなることにより、電源用リード2bと接地用リード2cとの間に接続されるバイパスコンデンサがモールド体4内部に設けることが不可能となり、半導体集積回路装置の外部に設けなければならず、取り扱い及び組み立てが不便になるという不具合が生じることになった。

【0005】また、電源用リード2b及び接地用リード2cの幅が狭く、厚みが薄くなることにより、電源用リード2b及び接地用リード2cを含む電源リードライン及び接地リードラインのインピーダンスが増大し、動作マージンが悪化するという問題を生じることになった。

【0006】この発明は、上記した点に鑑みてなされたものであり、電源用リードと接地用リードとの間に容易にバイパスコンデンサが接続できる半導体集積回路装置を得ることを目的とするものである。

【0007】この発明の第2の目的は、電源用リードと接地用リードにおけるインピーダンスが低減された半導体集積回路装置を得ることである。

【0008】

【課題を解決するための手段】この発明の第1の発明は、周囲に複数の信号用パッドと電源用パッドと接地用パッドとが形成された半導体チップと、複数の信号用パッドにそれぞれ対応して設けられた信号用リードと、電源用パッドに対応して設けられ、信号用リードより幅広の電源用リードと、接地用パッドに対応して設けられ信号用リードより幅広の接地用リードと、それぞれが対応した信号用パッドと対応した信号用リードとを接続する複数の信号用ワイヤと、電源用パッドと電源用リードとを接続する電源用ワイヤと、接地用パッドと接地用リードとを接続する

ドとを接続する接地用ワイヤとを設けたものである。

【0009】この発明の第2の発明は、周囲に複数の信号用パッドと1つ又は複数の電源用パッドと1つ又は複数の接地用パッドとが形成された半導体チップと、複数の信号用パッドにそれぞれ対応して設けられた信号用リードと、電源用パッドに対応して設けられた信号用リードより幅広の電源用リードと、接地用パッドに対応して設けられた信号用リードより幅広の接地用リードと、それぞれが対応した信号用パッドと対応した信号用リードとを接続する複数の信号用ワイヤと、1つ又は複数の電源用パッドと電源用リードとを接続する複数の電源用ワイヤと、1つ又は複数の接地用パッドと接地用リードとを接続する複数の接地用ワイヤとを設けたものである。

【0010】

【作用】この発明の第1の発明にあっては、電源用リード及び接地用リードが信号用リードに対して幅広であるため、微細化に伴ってリードピッチを狭くしても電源用リードと接地用リードとの間に接続されるバイパスコンデンサをモールド体内部に形成できる。

【0011】この発明の第2の発明にあっては、電源用リード及び接地用リードが信号用リードに対して幅広であり、電源用ワイヤ及び接地用ワイヤが複数であるため、電源用リードを含む電源リードライン及び接地用リードを含む接地リードラインのインピーダンスを低減せしめる。

【0012】

【実施例】実施例1. 図1はこの発明の実施例1を示すものであり、図1において、1は周囲に複数の信号用パッド1a～1aと電源用パッド1bと接地用パッド1cとが形成された半導体チップで、内部に所定の回路が形成されているものである。2a～2aは上記複数の信号用パッド1a～1aにそれぞれ対応して設けられた信号用リードで、幅が0.5mmで、隣接する信号用リードとの間のリードピッチが0.5mmで配置されている。2bは上記隣接する2つの電源用パッド1b、1bに対応して設けられ、上記信号用リード2a～2aより幅広の電源用リードで、幅が1.5mmで、隣接する信号用リード2a～2aとの間のリードピッチが0.5mmで配置されている。2cは上記隣接する2つの接地用パッド1c、1cに対応して設けられ、上記信号用リード2a～2aより幅広の接地用リードで、幅が1.5mmで、隣接する接地用リード2bとの間のリードピッチが0.5mmで配置されている。

【0013】3a～3aはそれぞれが対応した上記信号用パッド1a～1aと対応した上記信号用リード2a～2aとを接続する複数の信号用ワイヤ、3b、3bは上記隣接する2つの電源用パッド1b、1bと上記電源用リード2bとを接続する複数の電源用ワイヤ、3c、3cは上記隣接する2つの接地用パッド1c、1cと接地用リード2cとを接続する複数の接地用ワイヤ、5は上

記隣接する電源用リード2bと接地用リード2cとの間に接続されたバイパスコンデンサ、1は上記半導体チップ1と信号用ワイヤ3a～3aと電源用ワイヤ3b、3bと接地用ワイヤ3c、3cと信号用リード2a～2aの端部と電源用リード2bの端部と接地用リード2cの端部とバイパスコンデンサ5を樹脂モールドするモールド体である。なお、上記信号用リード2a～2aと上記電源用リード2bと上記接地用リード2cはリードフレームを用いて形成されているものである。

【0014】この様に構成された半導体集積回路装置においては、電源電圧が電源用リード2b、電源用ワイヤ3b及び電源用パッド1bを介して半導体チップ1内部に形成された回路に供給されるとともに、半導体チップ1内部に形成された回路が接地用パッド1c、接地用ワイヤ3c及び接地用リード2cを介して接地されているものである。そして、電源用リード2bと接地用リード2cとの間に接続されたバイパスコンデンサ5が、電源ライン等に載ったノイズ等の交流成分を半導体チップ1内部に形成された回路に入力されないようにしているものである。また、所定の信号用リード2a～2a、信号用ワイヤ3a～3a及び信号用パッド1a～1aを介して半導体チップ1内部に形成された回路に入力信号が入力され、半導体チップ1内部に形成された回路で信号処理がされて、所定の信号用パッド1a～1a、信号用ワイヤ3a～3a及び信号用リード2a～2aを介して出力信号が出力されるものである。

【0015】この実施例1に示したものにあっては、電源用リード2bと接地用リード2cとの間に容易にバイパスコンデンサ5が接続でき、実装スペースが削減できるとともに、実装が簡単かつ容易に行え、しかも、バイパスコンデンサ5が半導体チップ1内部に形成された回路に近い部分に搭載できるため、耐ノイズマージンが向上するという効果を有しているものである。

【0016】なお、上記実施例1のものにあっては、1つの電源用リード2bに対して2つの電源用パッド1b、1bを2本の電源用ワイヤ3b、3bで接続し、1つの接地用リード2cに対して2つの接地用パッド1c、1cを2本の接地用ワイヤ3c、3cで接続しているものを示したが、1つの電源用リード2bに対して3つ以上の電源用パッド1bを3本以上の電源用ワイヤ3bで接続し、1つの接地用リード2cに対して3つの接地用パッド1cを3本以上の接地用ワイヤ3cで接続したものであっても、同様の効果を奏するものである。

【0017】また、上記実施例1のものにあっては、電源用パッド1b及び接地用パッド1cを信号用パッド1a～1aと同じ形状のものとしたが、電源用パッド1b及び接地用パッド1cの形状を、図1に示した2つ分を含む大きさにした幅広のものとしても、同様の効果を奏するものである。

【0018】さらに、上記実施例1のものにあっては、

信号用リード2a～2a、電源用リード2b及び接地用リード2cを長方形の形状として示したが、これに限られるものではなく、どのような形状であっても良く、例えば凹凸をもつような形状であっても良く、要は電源用リード2b及び接地用リード2cの幅が実質的に信号用リード2a～2aの幅より広く形成されれば、同様の効果を奏するものである。

【0019】実施例2、図2はこの発明の実施例2を示すものであり、図2において、1は周囲に複数の信号用パッド1a～1aと電源用パッド1bと接地用パッド1cとが形成された半導体チップで、内部に所定の回路が形成されているものであり、上記電源用パッド1b及び接地用パッド1cは上記信号用パッド1a～1aの3倍分の大きさ、つまり3倍分の幅を持ったものである。2a～2aは上記複数の信号用パッド1a～1aにそれぞれ対応して設けられた信号用リードで、幅が0.5mmで、隣接する信号用リードとの間のリードピッチが0.5mmで配置されている。2bは上記幅広の電源用パッド1bに対応して設けられ、上記信号用リード2a～2aより幅広の電源用リードで、幅が1.5mmで、隣接する信号用リード2a～2aとの間のリードピッチが0.5mmで配置されている。2cは上記幅広の接地用パッド1cに対応して設けられ、上記信号用リード2a～2aより幅広の接地用リードで、幅が1.5mmで、隣接する電源用リード2cとの間のリードピッチが0.5mmで配置されている。

【0020】3a～3aはそれぞれが対応した上記信号用パッド1a～1aと対応した上記信号用リード2a～2aとを接続する複数の信号用ワイヤ、3b～3bは上記幅広の電源用パッド1bと上記電源用リード2bとを接続する複数の電源用ワイヤで、上記信号用ワイヤ3a～3aの配置されている間隔より狭い間隔で配置しても良いものである。3c～3cは上記幅広の接地用パッド1cと接地用リード2cとを接続する複数の接地用ワイヤで、上記信号用ワイヤ3a～3aの配置されている間隔より狭い間隔で配置しても良いものである。4は上記半導体チップ1と信号用ワイヤ3a～3aと電源用ワイヤ3b～3bと接地用ワイヤ3c～3cと信号用リード2a～2aの端部と電源用リード2bの端部と接地用リード2cの端部とを樹脂モールドするモールド体である。なお、上記信号用リード2a～2aと上記電源用リード2bと上記接地用リード2cはリードフレームを用いて形成されているものである。

【0021】この様に構成された半導体集積回路装置においては、電源電圧が幅広の電源用リード2b、複数の電源用ワイヤ3b～3b及び幅広の電源用パッド1bを介して半導体チップ1内部に形成された回路に供給されるとともに、半導体チップ1内部に形成された回路が幅広の接地用パッド1c、複数の接地用ワイヤ3c及び幅広の接地用リード2cを介して接地されているものであ

る。従って、電源用リード2b、複数の電源用ワイヤ3b～3b及び電源用パッド1bと接地用リード2c、複数の接地用ワイヤ3c～3c及び接地用パッド1cにおけるインピーダンスが低減でき、動作マージンが増大している。また、所定の信号用リード2a～2a、信号用ワイヤ3a～3a及び信号用パッド1a～1aを介して半導体チップ1内部に形成された回路に入力信号が入力され、半導体チップ1内部に形成された回路で信号処理がされて、所定の信号用パッド1a～1a、信号用ワイヤ3a～3a及び信号用リード2a～2aを介して出力信号が出力されるものである。

【0022】なお、上記実施例2のものにあっては、信号用リード2a～2a、電源用リード2b及び接地用リード2cを長方形の形状として示したが、これに限られるものではなく、どのような形状であっても良く、例えば凹凸をもつような形状であっても良く、要は電源用リード2b及び接地用リード2cの幅が実質的に信号用リード2a～2aの幅より広く形成されれば、同様の効果を奏するものである。また、上記実施例2のものにあっては、電源用リード2b及び接地用リード2cとを幅広のものとしてあるので、上記実施例1に示したもののように、電源用リード2bと接地用リード2cとの間にバイパスコンデンサを接続することができるものである。

【0023】

【発明の効果】この発明の第1の発明は、以上に述べたように、半導体チップの周囲に形成された電源用パッドに対応して設けられ、信号用リードより幅広の電源用リードと、半導体チップの周囲に形成された接地用パッドに対応して設けられ信号用リードより幅広の接地用リードとを設けたものとしたので、電源用リードと接地用リードとの間に容易にバイパスコンデンサが接続でき、実装が容易かつ簡単に行えるという効果を有するものである。

【0024】また、この発明の第2の発明は、半導体チップの周囲に形成された電源用パッドに対応して設けられ信号用リードより幅広の電源用リードと、半導体チップの周囲に形成された接地用パッドに対応して設けられ信号用リードより幅広の接地用リードと、1つ又は複数の電源用パッドと電源用リードとを接続する複数の電源用ワイヤと、1つ又は複数の接地用パッドと接地用リードとを接続する複数の接地用ワイヤとを設けたものとしたので、電源用リードと接地用リードにおけるインピーダンスが低減できるという効果を有するものである。

【図面の簡単な説明】

【図1】この発明の実施例1を示す構成図。

【図2】この発明の実施例2を示す構成図。

【図3】従来の半導体集積回路装置を示す構成図。

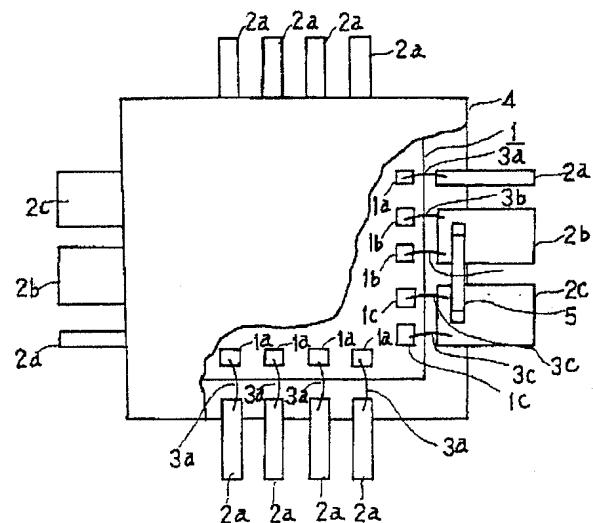
【符号の説明】

1 半導体チップ

1 a 信号用パッド
1 b 電源用パッド
1 c 接地用パッド
2 a 信号用リード
2 b 電源用リード

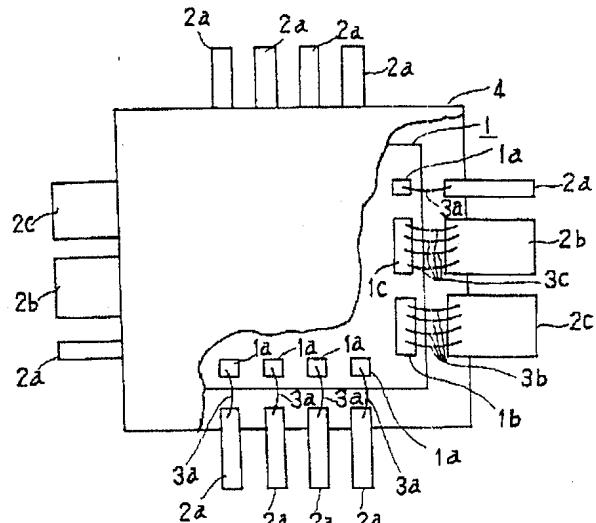
2 c 接地用リード
3 a 信号用ワイヤ
3 b 電源用ワイヤ
3 c 接地用ワイヤ
5 バイパスコンデンサ

【図1】

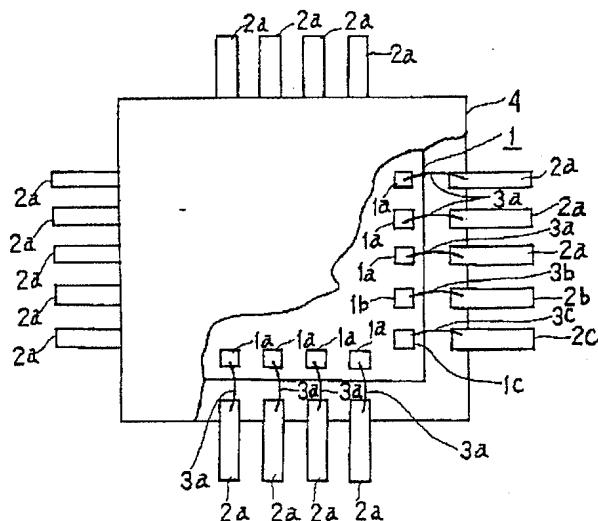


1 : 半導体チップ 2c : 接地用リード
1a : 信号用パッド 3a : 信号用ワイヤ
1b : 電源用パッド 3b : 電源用ワイヤ
1c : 接地用パッド 3c : 接地用ワイヤ
2a : 信号用リード 5 : バイパスコンデンサ
2b : 電源用リード

【図2】



【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216303

(43)Date of publication of application : 05.08.1994

(51)Int.CI. H01L 23/50

(21)Application number : 05-065784 (71)Applicant : HITACHI LTD
HITACHI MICOM SYST:KK(22)Date of filing : 25.03.1993 (72)Inventor : KAJIWARA YUJIRO
SUZUKI KAZUNARI
TSUBOSAKI KUNIHIRO
SUZUKI HIROMICHI
MIYAKI YOSHINORI
NAITO TAKAHIRO
KAWAI SUEO

(30)Priority

Priority number : 04 71116 Priority date : 27.03.1992 Priority country : JP
04320098 30.11.1992 JP(54) LEAD FRAME AND ITS MANUFACTURE, AND MANUFACTURE OF SEMICONDUCTOR
INTEGRATED CIRCUIT USING IT

(57)Abstract:

PURPOSE: To improve the resistance to reflow crack of an LSI package, and provide a lead frame suitable for the manufacture of a small quantity of diversified LSI packages.

CONSTITUTION: The bonding area between a semiconductor chip 2 and resin is enlarged by making the dimensions of the external form of a die pad 3 larger than the those of the external form of a semiconductor chip 2 mounted thereon. Moreover, it is made possible to mount each kind of semiconductor chips 2 different in the dimensions of external form on the die pad 3 by cutting the top of a lead 5 into proper length, according to the dimensions of the external form of the semiconductor chip 2.

